

A02

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 010017820 A
(43)Date of publication of application: 05.03.2001

(21)Application number: 990033520
(22)Date of filing: 14.08.1999

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: CHOI, SEONG JE
JANG, YUN HUI
KIM, YEONG GWAN
LEE, JONG HO
LEE, JU WON
LEE, SANG IN
LEE, SEUNG HWAN
LIM, JAE SUN
PARK, HEUNG SU
PARK, YEONG UK

(51)Int. Cl H01L 27/10

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device is provided to improve an insulating characteristic of a dielectric layer and to increase capacitance of a capacitor structure, by forming the dielectric layer by an atomic layer deposition method when a polysilicon layer is used as a storage electrode, and by forming a plate electrode with a material layer of which a work function is higher than the storage electrode.

CONSTITUTION: The first electrode(31) is composed of a silicon-based material. Reaction materials are sequentially supplied to the surface of the first electrode to form a dielectric layer(37). The second electrode(39) is formed on the dielectric layer, and a work function of the second electrode is higher than the first electrode composed of the silicon-based material.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19990814)
Notification date of refusal decision (20020227)
Final disposal of an application (rejection)
Date of final disposal of an application (20020227)
Number of trial against decision to refuse (2002101001356)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ (11) 공개번호 특2001-0017820
H01L 27/10 (43) 공개일자 2001년03월05일

(21) 출원번호 10-1999-0033520
(22) 출원일자 1999년08월14일
(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416
(72) 발명자 김영관
경기도 포천군 포천읍 신읍리39-11
박홍수
서울특별시 송파구 방이동 올림픽아파트319동 1601호
박영욱
경기도 안양시 동안구 갈산동 샘마을 아파트301동 703호
이상인
경기도 수원시 팔달구 매탄2동 한국1차아파트 104동 706호
장윤희
서울특별시 강남구 대치동 은마아파트28동 905호
이종호
경기도 군포시 광정동 한양목련아파트1213동 901호
최성재
서울특별시 서초구 서초동 진흥아파트1동 505호
이승환
서울특별시 서초구 방배2동 무지개아파트2동 907호
임재순
서울특별시 중랑구 묵1동 122-47천지빌라B01호
이주원
경기도 수원시 팔달구 인계동 158-30선경2차아파트 201동 505호
(74) 대리인 이영필, 권석홍, 정상빈

심사청구 : 있음

(54) 반도체 소자 및 그 제조방법

요약

본 발명의 반도체 소자는 실리콘계 물질로 구성된 제1 전극과, 상기 제1 전극 상에 반응물들을 순차적으로 공급하여 형성된 유전체막과, 상기 유전체막 상에 형성되고 상기 실리콘계 물질로 구성된 제1 전극보다 일함수가 큰 제2 전극을 포함한다. 상기 제1 전극 및 제2 전극은 커패시터 구조에서는 하부 전극 및 상부 전극이 될 수 있다. 또한, 상기 제1 전극 및 제2 전극은 트랜지스터 구조에서는 실리콘 기판 및 게이트 전극이 될 수 있다. 상기 제1 전극 상에 상기 제1 전극의 표면을 친수성화시켜 상기 유전체막의 형성을 용이하게 할 수 있는 안정화막, 예컨대 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막이 더 형성되어 있을 수 있다. 상기 유전체막은 원자층 증착법에 의하여 형성될 수 있다. 이에 따라, 본 발명의 반도체 소자는 유전체막의 절연특성을 향상시킬 수 있고 커패시터 구조에서는 커패시턴스값을 증가시킬 수 있다.

도표도

도4

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1 실시예에 의한 반도체 소자를 도시한 단면도이다.
 도 2는 본 발명의 제2 실시예에 의한 반도체 소자를 도시한 도면이다.
 도 3 및 도 4는 각각 종래의 커패시터 및 도 1의 커패시터의 장벽의 높이(barrier height)와 등가회로를 개략적으로 도시한 도면이다.
 도 5는 종래의 SIS 커패시터 및 본 발명의 MIS 커패시터를 전압에 따른 리키지 전류 밀도를 도시한 그래프이다.
 도 6은 종래의 SIS 커패시터 및 본 발명의 MIS 커패시터의 장벽 높이를 도시한 그래프이다.
 도 7 및 도 8은 각각 본 발명의 MIS 커패시터 및 종래의 SIS 커패시터의 전압에 따른 리키지 전류 밀도를 도시한 그래프이다.
 도 9는 도 1에 도시한 커패시터의 유전체막을 원자층 증착법으로 형성시 각 반응물의 공급 및 퍼징과정을 나타낸 그래프이다.
 도 10은 원자층 증착법에 의해 형성된 유전체막의 균일도를 나타낸 그래프이다.
 도 11은 원자층 증착법에 의하여 형성된 유전체막의 XPS 피크값을 나타낸 도면이다.
 도 12 및 도 13은 도 1에 도시한 반도체 소자의 커패시터의 제조방법을 설명하기 위한 단면도들이다.
 도 14는 본 발명의 MIS 커패시터에 있어서 하부 전극의 표면에 안정화막이 형성된 경우(a)와 형성하지 않은 경우(b)의 알루미늄 산화막의 사이클당 두께를 나타낸 그래프이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 보다 상세하게는 실리콘계 물질을 하부 전극으로 채용할 때 고유전체막(유전율이 높은 유전체막)의 절연특성을 향상시킬 수 있는 반도체 소자 및 그 제조방법에 관한 것이다.

일반적으로, 반도체 소자는 하부 전극과 상부 전극 사이에 유전체막이 형성되는 구조를 포함하고 있다. 예를 들면, 하부 전극 역할을 하는 실리콘 기판 상에 유전체막(게이트 절연막) 및 게이트 전극이 순차적으로 형성된 트랜지스터 구조를 들 수 있다. 또, 하부 전극 상에 유전체막 및 상부 전극이 순차적으로 형성된 커패시터 구조를 들 수 있다.

그런데, 상기 상부 전극과 하부 전극 사이에 존재하는 유전체막의 절연특성은 매우 중요하다. 예컨대 트랜지스터 구조에서는 유전체막의 절연특성에 따라 트랜지스터의 내압 특성이 좌우된다. 커패시터 구조에서는 유전체막의 절연특성에 따라 커패시턴스값의 차이가 발생한다.

특히, 커패시터 구조에 있어서는 유전체막의 표면적이 크고 유전체막의 유전율을 클 때 커패시턴스값이 크게 된다. 따라서, 3차원 구조를 구현하기 용이한 폴리실리콘막을 하부 전극으로 하고, 유전율이 높은 탄탈륨 산화막(Ta_2O_5)이나 BST막을 고유전체막으로 채용하고 있다. 그러나, 탄탈륨 산화막(Ta_2O_5)이나 BST막 등의 고유전체막을 채용할 경우에는 안정된 커패시터를 얻기 위하여 후공정을 추가하는 등 공정을 복잡하게 하여야 하고, 상부 전극 및 하부 전극의 물질을 바꾸어야 하는 단점이 있다. 그러므로, 커패시터 구조에서는 폴리실리콘막을 하부 전극으로 사용하면서 고유전체막의 절연특성을 향상시키는 것이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는 실리콘계 물질을 하부 전극으로 채용할 때 고유전체막의 절연특성을 향상시킬 수 있는 반도체 소자를 제공하는 데 있다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기 반도체 소자를 제조하는 데 적합한 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명의 반도체 소자는 실리콘계 물질로 구성된 제1 전극과, 상기 제1 전극 상에 반응물들을 순차적으로 공급하여 형성된 유전체막과, 상기 유전체막 상에 형성되고 상기 실리콘계 물질로 구성된 제1 전극보다 일함수가 큰 제2 전극을 포함한다.

상기 제1 전극 및 제2 전극은 커패시터 구조에서는 하부 전극 및 상부 전극이 될 수 있다. 또한, 상기 제1 전극 및 제2 전극은 트랜지스터 구조에서는 실리콘 기판 및 게이트 전극이 될 수 있다.

상기 제2 전극은 금속막, 고용점 금속막, 알루미늄막, 도전성 산화막 또는 이들의 조합으로 이루어지거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막이 순차적으로 형성된 이중막으로 구성할 수 있다.

상기 제1 전극 상에 상기 제1 전극의 표면을 친수성화시켜 상기 유전체막의 형성을 용이하게 할 수 있는 안정화막, 예컨대 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막이 더 형성되어 있을 수 있다. 상기

유전체막은 원자층 증착법에 의하여 형성될 수 있다.

본 발명의 반도체 소자는 실리콘계 물질을 하부 전극으로 채용하고, 원자층 증착법에 의하여 유전체막을 형성하고 상부 전극을 상기 하부 전극보다 일함수가 큰 물질막으로 구성한다. 이에 따라, 유전체막의 절연특성을 향상시킬 수 있고 커패시터 구조에서는 커패시턴스값을 증가시킬 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

도 1은 본 발명의 제1 실시예에 의한 반도체 소자를 도시한 단면도이다.

구체적으로, 본 발명의 반도체 소자는 커패시터 구조이다. 즉, 본 발명의 반도체 소자는 제1 전극으로써 반도체 기판(31), 예컨대 실리콘 기판 상에 커패시터의 하부 전극(31)과, 유전체막(37)과, 제2 전극으로써 커패시터의 상부 전극(39)을 포함한다. 도 1에서, 참조번호 32는 층간 절연막을 나타낸다.

상기 하부 전극(33)은 3차원 구조를 만들기 위해 용이한 실리콘계 물질막, 예컨대 인 등의 불순물이 도핑된 폴리실리콘막으로 구성된다.

상기 유전체막(37)은 반응물들을 순차적으로 공급하는 원자층 증착법으로 형성한다. 상기 유전체막(37)은 상기 원자층 증착법에 의하여 형성되기 때문에 스텝 커버리지 특성이 우수하다. 상기 유전체막(37)은 알루미늄 산화물, 알루미늄 수산화물, Ta_2O_5 , BST, $SrTiO_3$, $PbTiO_3$, PZT($PbZr_{1-x}Ti_xO_3$), PLZT(La 도핑된 PZT), Y_2O_3 , CeO_2 , Nb_2O_5 , TiO_2 , ZrO_2 , HfO_2 , SiO_2 , SiN, Si_3N_4 또는 이들의 조합으로 구성된다.

상기 상부 전극(39)은 실리콘계 물질로 구성된 하부 전극보다 일함수가 큰 물질막으로 구성된다. 상기 상부 전극은 Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru, Ir 등의 금속막, Ti, TiN, TiAlN, TaN, TiSiN, WN, WBN, CoSi 또는 Ψ 등의 고용점 금속막, RuO_2 , RhO_2 또는 IrO_2 등의 도전성 산화막 또는 이들의 조합으로 이루어지거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막이 순차적으로 형성된 이중막으로 구성된다.

이렇게 상부 전극(39)이 하부 전극(33)보다 일함수가 크게 되면 후술되는 바와 같이 하부 전극(33)에서 상부 전극으로 흐르는 전류의 양을 적게 하여 유전체막의 절연특성을 향상시킬 수 있다.

더하여, 본 발명의 반도체 소자는 커패시터의 하부 전극(33) 상에 상기 유전체막(37)의 형성을 용이하게 할 수 있는 안정화막(35), 예컨대 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막이 형성되어 있다. 예컨대, 상기 안정화막(35)은 원자층 증착법을 이용하여 유전체막을 형성할 때 하부 전극(33) 상에 공급되는 반응물이 친수성 물질인 경우에 상기 하부 전극(33)의 표면을 친수성화시킨 막이다.

도 2는 본 발명의 제2 실시예에 의한 반도체 소자를 도시한 도면이다.

구체적으로, 본 발명의 제2 실시예에 의한 반도체 소자는 트랜지스터 구조이다. 즉, 본 발명의 반도체 소자는 제1 전극으로써 인, 비소, 보론 등의 불순물이 도핑된 실리콘 기판(61)과, 유전체막으로써 게이트 절연막(65)과, 제2 전극으로써 게이트 전극(67)을 구비한다.

즉, 본 발명의 제2 실시예에 의한 반도체 소자는 제1 실시예와 비교할 때 실리콘 기판(61)이 하부 전극에 대응되며, 게이트 전극(67)이 상부 전극에 대응된다. 도 2에서, 참조번호 62는 불순물 도핑 영역으로써, 소스 또는 드레인 영역을 나타낸다.

상기 게이트 절연막(65)은 반응물들을 순차적으로 공급하는 원자층 증착법으로 형성한다. 상기 게이트 절연막(65)은 상기 원자층 증착법에 의하여 형성되기 때문에 스텝 커버리지 특성이 우수하다. 상기 게이트 절연막(65)은 알루미늄 산화물, 알루미늄 수산화물, Ta_2O_5 , BST, $SrTiO_3$, $PbTiO_3$, PZT, PLZT, Y_2O_3 , CeO_2 , Nb_2O_5 , TiO_2 , ZrO_2 , HfO_2 , SiO_2 , SiN, Si_3N_4 또는 이들의 조합으로 구성된다.

상기 게이트 전극(67)은 실리콘계 물질로 구성된 하부 전극(61)보다 일함수가 큰 물질막으로 구성된다. 상기 게이트 전극(67)의 예를 들면, Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru, Ir 등의 금속막, Ti, TiN, TiAlN, TaN, TiSiN, WN, WBN, CoSi 또는 Ψ 등의 고용점 금속막, RuO_2 , RhO_2 또는 IrO_2 등의 도전성 산화막 또는 이들의 조합으로 이루어지거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막이 순차적으로 형성된 이중막으로 구성된다.

이렇게 게이트 전극(67)이 실리콘 기판(61)보다 일함수가 크게 되면 후술되는 바와 같이 실리콘 기판(61)에서 게이트 전극(67)으로 흐르는 전류의 양을 적게할 수 있어 게이트 절연막(65)의 절연특성을 향상시킬 수 있다.

더하여, 본 발명의 반도체 소자는 실리콘 기판(61) 상에 상기 게이트 절연막(65)의 형성을 용이하게 할 수 있는 안정화막(63), 예컨대 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막이 형성되어 있다. 예컨대, 상기 안정화막(63)은 원자층 증착법을 이용하여 유전체막을 형성할 때 실리콘 기판(61) 상에 공급되는 반응물이 친수성 물질인 경우에 상기 실리콘 기판(61)의 표면을 친수성화시킨 막이다.

이하에서는 설명의 편의상 커패시터 구조를 나타내는 제1 실시예를 참조로 하여 유전체막의 절연 특성을 설명하는데, 제2 실시예의 트랜지스터 구조에서 동일하게 적용할 수 있다. 즉, 커패시터의 하부 전극은 트랜지스터의 실리콘 기판에 대응되며, 커패시터의 상부 전극은 트랜지스터의 게이트 전극에 대응된다.

도 3 및 도 4는 각각 종래의 커패시터 및 도 1의 커패시터의 장벽의 높이(barrier height)와 등가회로를 개략적으로 도시한 도면이다.

구체적으로, 도 3은 종래의 커패시터의 장벽의 높이 및 등가회로를 나타낸 도면이다. 도 3의 종래의 커패시터는 상하부 전극을 모두 불순물이 도핑된 폴리실리콘막으로 구성하고, 원자층 증착법을 이용하여 유전체막을 60Å 두께의 알루미늄 산화막으로 구성한 경우(이하, "SIS 커패시터"로 칭함)이다. 도 4는 도 1의 커패시터의 장벽의 높이 및 등가회로를 나타낸 도면이다. 도 4의 커패시터는 하부 전극을 실리콘계 물질막인 불순물이 도핑된 폴리실리콘막으로 하고, 원자층 증착법을 이용하여 유전체막을 60Å 두께의 알루미늄

늄 산화막으로 하고, 상부 전극은 상기 하부 전극보다 일함수가 큰 TiN막으로 구성 한 경우(이하, "MIS 커패시터"로 칭함)이다. 본 발명의 MIS 커패시터에 있어서, 상부 전극을 TiN막과 불순물이 도핑된 폴리실리콘막으로 구성된 이중막으로 구성할 수도 있는데, 이때 상기 불순물이 도핑된 폴리실리콘막은 반도체 소자의 동작상 표면 저항을 조절한다.

도 3 및 도 4에서, 상부 전극에 정방향의 바이어스 인가시 하부 전극에 존재하는 전자들이 초기 장벽(a)을 통과하기 위한 제1 저항 성분(41)과, 유전체막 자체의 제2 저항 성분(43)을 통과하여 상부 전극으로 이동할 수 있다.

그런데, 도 4의 본 발명의 커패시터에 있어서는 상부 전극에 정 바이어스 전압이 인가시 전자들은 초기 장벽(a)을 통과한 후 장벽이 높은 상부 전극을 향해 이동한다. 이때, 하부 전극과 상부 전극간의 장벽의 차($b_2 - a$)에 의해 이루어진 기류기는 결국 전자의 흐름을 저지하는 제3 저항 성분(45)으로 작용하여 전자가 하부 전극에서 상부 전극으로 흐르는 것을 방해하기 때문에 유전체막의 절연특성이 향상된다.

물론, 상부 전극에 부 바이어스 전압이 인가되면 높은 초기 장벽(b_1 , b_2)으로 인한 제4 저항 성분(47a, 47b) 때문에 전자들이 상부 전극에서 하부 전극으로 이동하기가 어렵게 된다. 특히, 도 4의 본 발명의 커패시터의 초기 장벽 높이(b_2)가 도 3보다 초기 장벽 높이(b_1)가 더 높기 때문에 본 발명의 제4 저항 성분(47b)이 종래의 제4 저항 성분(47a)보다 크게 된다.

도 5는 종래의 SIS 커패시터 및 본 발명의 MIS 커패시터를 전압에 따른 리키지 전류 밀도를 도시한 그래프이고, 도 6은 종래의 SIS 커패시터 및 본 발명의 MIS 커패시터의 장벽 높이를 도시한 그래프이다.

구체적으로, 도 5에 보듯이 일반적인 반도체 소자에서 허용될 수 있는 리키지 전류 밀도인 $1E-7A/cm^2$ 일 때 본 발명의 MIS 커패시터는 종래의 SIS 커패시터보다 약 0.9V 만큼 큰 이륙점(take off point)을 나타낸다.

이러한 현상은 도 4 및 도 6에 나타낸 바와 같이 하부 전극과 상부 전극간의 장벽 높이에 기인한다. 도 6에서, X축은 장벽 높이에 해당하는 에너지를 나타내며, Y축은 장벽 높이를 나타내는데, J_{max} 는 125°C에서 전류 밀도를 나타내며, J_{min} 은 25°C에서 전류 밀도를 나타낸다. 도 6에 보듯이, 정 바이어스 전압에서의 피크점은 장벽 높이에 해당하는 에너지를 나타내는데, 종래의 SIS 커패시터는 1.42eV를 나타내고, 본 발명의 MIS 커패시터는 2.35eV를 나타낸다.

이를 볼 때, 종래의 SIS 커패시터와 본 발명의 MIS 커패시터간에는 장벽 높이차가 0.93eV를 나타내며, 상기 장벽 높이차는 도 4에 설명한 장벽 높이차($b_2 - a$)와 일치한다. 따라서, 본 발명의 MIS 커패시터는 상기 장벽 높이차만큼 종래의 SIS 커패시터보다 이륙점이 크게 된다. 다시 말하면, 본 발명의 MIS 커패시터는 종래의 SIS 커패시터보다 허용 누설 전류 밀도에서 약 0.9V 정도 더 견딜 수 있기 때문에 유전체막의 두께를 감소시킬 수 있고, 이에 따라 커패시턴스를 증가시킬 수 있다.

도 7 및 도 8은 각각 본 발명의 MIS 커패시터 및 종래의 SIS 커패시터의 전압에 따른 리키지 전류 밀도를 도시한 그래프이다.

구체적으로, 리키지 전류 밀도가 $1E-7$ 이고, 전압이 1.2V인 일반적인 기준값에서 본 발명의 MIS 커패시터의 경우 등가 산화막의 두께를 28Å으로 할 수 있고, 종래의 SIS 커패시터의 경우 41Å으로 구성할 수 있다. 이는 앞서 설명한 바와 같이 본 발명의 MIS 커패시터의 이륙점의 마진을 0.9V 정도 가지기 때문이다.

이하에서는, 설명의 편의상 커패시터 구조를 나타내는 제1 실시예에 따른 반도체 소자의 제조방법을 설명하는데, 제2 실시예의 트랜지스터 구조에서 동일하게 적용할 수 있다. 즉, 커패시터의 하부 전극은 트랜지스터의 실리콘 기판에 대응되며, 커패시터의 상부 전극은 트랜지스터의 게이트 전극에 대응된다. 먼저, 본 발명에 의한 커패시터 유전체막의 형성방법을 설명한다.

도 9는 도 1에 도시한 커패시터의 유전체막을 원자층 증착법으로 형성시 각 반응물의 공급 및 퍼징과정을 나타낸 그래프이고, 도 10은 원자층 증착법에 의해 형성된 유전체막의 균일도를 나타낸 그래프이고, 도 11은 원자층 증착법에 의하여 형성된 유전체막의 XPS 피크값을 나타낸 도면이다.

구체적으로, 본 발명의 커패시터 유전체막은 스텝 커버리지 특성이 우수한 원자층 증착법(atomic layer deposition)으로 형성한다. 본 실시예에서는 유전체막을 알루미늄 산화막으로 형성하는 것을 예로 들어 설명한다. 그리고, 상기 원자층 증착법은 도 9와 같이 챔버에 알루미늄이 함유된 반응가스(반응물)를 공급한 후 불활성 가스로 퍼지한 다음, 다시 산화 가스를 공급하고 불활성 가스로 퍼지하는 사이클을 반복하는 증착법이다. 따라서, 본 발명의 원자층 증착법은 원자층 에피택시(ALE), 사이클릭 화학기상증착(cyclic CVD), 디지털 화학기상증착(digital CVD), AICVD 등을 포함한다.

보다 상세하게 설명하면, 도 9와 같이 반도체 기판, 예컨대 실리콘 기판 상에 $TMA[Al(CH_3)_3]$, $Al(CH_3)_2Cl$, $AlCl_3$ 등의 알루미늄이 함유된 반응물을 챔버에 공급하고 불활성 가스로 퍼지한 다음, H_2O , N_2O , NO_2 , O_2 등의 산화 가스를 공급하고 불활성 가스로 퍼지하는 사이클을 수회 반복함으로써 알루미늄 산화막을 형성한다. 즉, 알루미늄이 함유된 제1 반응물과, 산화가스의 제2 반응물을 순차적으로 공급함으로써 알루미늄 산화막을 형성한다. 본 실시예에서는 알루미늄이 함유된 반응물은 TMA를 사용하였으며, 산화가스를 H_2O 가스를 사용하였다.

이렇게 하여 얻어진 알루미늄 산화막은 도 10과 같이 측정 위치에 따라 균일도가 우수하다. 도 10에서, 각 점은 반도체 웨이퍼의 중심, 반도체 웨이퍼 중심을 기준으로 1.75 인치의 반경을 가지는 원에서 90도 간격으로 4점, 반도체 웨이퍼 중심을 기준으로 3.5인치의 반경을 가지는 원에서 90도 간격으로 한 4점이다.

그리고, 도 11a 및 도 11b와 같이 알루미늄 산화막을 XPS(x-ray photoelectron spectroscopy)측정하면 Al-0 및 O-0 피크만 나타나 산소와 알루미늄만으로 이루어짐을 알 수 있다. 도 11a 및 도 11b에서, X축은

결합 에너지(binding energy)이며, Y축은 카운트(count)를 나타낸다.

도 12 및 도 13은 도 1에 도시한 반도체 소자의 커패시터의 제조방법을 설명하기 위한 단면도들이다.

도 12는 하부 전극(33) 및 안정화막(35)을 형성하는 단계를 나타낸다.

구체적으로, 반도체 기판, 예컨대 실리콘 기판 상에 콘택홀을 갖는 층간 절연막(32)을 형성한다. 이어서, 상기 층간 절연막(32)이 형성된 반도체 기판(31) 상에 상기 콘택홀을 통하여 상기 반도체 기판(31)과 접촉하는 하부 전극(33)을 형성한다. 특히, 본 발명의 하부 전극(33)은 불순물이 도핑된 폴리실리콘막 등과 같은 실리콘계 물질막으로 형성하기 때문에 다양한 3차원 구조로 형성할 수 있다.

이후에, 상기 하부 전극의 표면에 후에 형성되는 유전체막을 안정되게 형성하기 위하여 상기 하부 전극(33)을 덮게 안정화막(35)을 1~40 Å의 두께로 형성한다. 상기 안정화막(35)은 열이력이 900°C 3시간 이내의 공정으로써, 질소계 가스를 이용하여 급속 열적 공정(Rapid Thermal process:이하 "RTP"라 한다), 어닐링 공정 또는 플라즈마 공정에 의하거나, 실리콘 및 질소가 포함된 반응물을 이용하여 실리콘 질화막으로 형성한다. 또한, 상기 안정화막(35)은 산소계 가스를 이용하여 어닐링, 열적 자외선 처리 또는 플라즈마 처리하여 실리콘 산화막으로 형성할 수 도 있다. 본 실시예에서는 질소 소오스(nitride source), 예컨대 암모니아 가스(NH₃) 등을 이용하여 60초 정도 급속 열적 공정 또는 450°C에서 3분간 자외선 오존 처리를 행하였다.

여기서, 도 14를 이용하여 안정화막(35)의 역할에 대하여 설명한다. 도 14는 본 발명의 MIS 커패시터에 있어서 하부 전극의 표면에 안정화막이 형성된 경우(a)와 형성하지 않은 경우(b)의 알루미늄 산화막의 사이클당 두께를 나타낸 그래프이다.

구체적으로, 안정화막(35)은 후속의 유전체막 형성시 유전체막을 안정되게 형성할 수 있는 역할을 한다. 즉, 하부 전극(33)인 불순물이 도핑된 폴리실리콘 표면은 통상 소수성 상태이기 때문에 산화막으로 수증기를 이용하여 유전체막을 형성시 소수성의 하부 전극(33) 상에서는 알루미늄 산화막을 안정되게 형성할 수 없다. 즉, 도 14의 b에 보인 바와 같이 안정화막(35)을 형성하지 않으면 10 사이클의 증착기를 거친후 알루미늄 산화막이 성장한다. 그러나, 안정화막(35)을 형성하면 하부 전극(33)의 표면이 친수성으로 변경된다. 이렇게 되면, 도 14의 a로 표시한 바와 같이 증착기를 거치지 않고 바로 알루미늄 산화막을 형성할 수 있어 안정되게 알루미늄 산화막을 형성할 수 있다. 본 실시예에서는 안정화막(35)을 형성하였으나, 필요에 따라서는 안정화막을 형성하지 않을 수 도 있다.

도 13은 유전체막(37)을 형성하는 단계를 나타낸다.

구체적으로, 상기 하부 전극(33) 상에 알루미늄 소오스 및 산화 가스를 순차적으로 챔버에 주입하여 원자 크기 정도 두께, 예컨대 대략 0.5 Å 내지 100 Å 정도의 두께의 알루미늄 산화막을 형성한다. 이후에, 상술한 바와 같은 원자 크기 정도의 두께의 알루미늄 산화막을 형성하는 단계를 사이클(cycle)로 반복 수행하여 대략 10 Å 내지 300 Å 정도의 두께로 알루미늄 산화막으로 유전체막(37)을 형성한다. 이와 같이 형성되는 유전체막(37)은 원자를 증착법의 공정 특성상 단차피복성이 매우 좋다. 예컨대, 증착비가 9:1인 구조에서 단차피복성을 98%이상으로 가져갈 수 있다.

이후에, 상기 유전체막(37)을 형성한 다음 불순물을 제거, 치밀화, 및 우수한 화학양론적인 유전체막을 얻기 위하여 후열처리를 수행하였다. 후열처리는 열이력이 900°C 3시간 이내에서 자외선 오존 처리, 질소 어닐, 산소 어닐링, 습식 산화, 산소나 질소를 포함하는 가스, 예컨대 N₂, NH₃, O₂, N₂O를 이용한 급속 열적 공정 또는 진공 어닐링 등을 이용할 수 있다. 이중에서 몇 가지를 실시하여 그 결과를 하기 표에 도시한다.

[표 1]

유전체막 두께 (Å)	산소 어닐링	자외선 오존 처리	산소 급속 열처리	질소 어닐링
28	0.7(28.6)		0.45(27.6)	0.9 (28.0)
31	1.25(30.9)	1.55(31.2)	1.30(30.2)	1.6(30.3)
33	1.8(33.1)	2.05(33.6)	1.85(32.5)	2.1(32.6)

[표 1]에서, 산소 어닐링은 750°C에서 30분 실시한 것이며, 자외선 오존 처리는 300°C에서 20m watt의 에너지로 10분간 실시한 것이며, 산소 급속 열처리는 750°C에서 3분간 실시한 것이며, 질소 어닐링은 750°C에서 3분간 실시한 것이다. 그리고, 상기 [표 1]의 값은 후열처리후 굴절율을 나타내며, 팔로 안의 숫자는 후열처리후 유전체막 두께를 나타낸 것이다. [표 1]에 보듯이 자외선 오존 처리와 질소 어닐링한 샘플이 유전체막 두께 및 굴절율 측면에서 가장 우수함을 알 수 있다. 본 실시예에서는 유전체막 형성후 후열처리를 수행하였으나, 수행하지 않을 수 도 있다.

다음에, 도 1에 도시한 바와 같이 유전체막(37) 상에 상부 전극(39)을 형성한다. 상기 상부 전극(39)은 상술한 바와 같이 실리콘계 물질로 구성된 하부 전극보다 알함수가 큰 물질막으로 구성된다. 상기 상부 전극(39)은 Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru, Ir 등의 금속막, Ti, TiN, TiAlN, TaN, TiSiN, W₂N, WBN, CoSi 또는 W 등의 고용점 금속막, RuO₂, RhO₂ 또는 IrO₂ 등의 도전성 산화막 또는 이들의 조합으로 이루어지거나, 실리콘계 물질보다 알함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막이 순차적으로 형성된 이중막으로 구성할 수 있다. 본 실시예에서는 상부 전극을 TiN막과 불순물이 도핑된 폴리실리콘막의 이중막으로 형성하였다.

이상, 실시예를 통하여 본 발명을 구체적으로 설명하였지만, 본 발명은 이에 한정되는 것이 아니고, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식으로 그 변형이나 개량이 가능하다.

발명의 요지

상술한 바와 같이 본 발명의 반도체 소자는 일반적으로 사용되는 실리콘계 물질막, 예컨대 불순물이 도핑된 폴리실리콘막을 하부 전극으로 채용할 때 원자층 증착법에 의하여 유전체막을 형성하고 상부 전극을 상기 하부 전극보다 일함수가 큰 물질막으로 구성한다. 이렇게 되면, 유전체막의 절연특성을 향상시킬 수 있고, 커패시터 구조에서는 커패시턴스값을 증가시킬 수 있다.

(57) 청구의 범위

청구항 1. 실리콘계 물질로 구성된 제1 전극;

상기 제1 전극 상에 반응물들을 순차적으로 공급하여 형성된 유전체막; 및

상기 유전체막 상에 형성되고 상기 실리콘계 물질로 구성된 제1 전극보다 일함수가 큰 제2 전극을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자.

청구항 2. 제1항에 있어서, 상기 유전체막은 알루미늄 산화물, 알루미늄 수산화물, Ta_2O_5 , BST, $SrTiO_3$, $PbTiO_3$, PZT, PLZT, Y_2O_3 , CeO_2 , Nb_2O_5 , TiO_2 , ZrO_2 , HfO_2 , SiO_2 , SiN, Si_3N_4 또는 이들의 조합으로 이루어진 막인 것을 특징으로 하는 반도체 소자.

청구항 3. 제1항에 있어서, 상기 제2 전극은 금속막, 고용점 금속막, 도전성 산화막 또는 이들의 조합으로 이루어지거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막이 순차적으로 형성된 이중막인 것을 특징으로 하는 반도체 소자.

청구항 4. 제3항에 있어서, 상기 금속막은 Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru 또는 Ir로 이루어지며, 상기 고용점 금속막은 Ti, TiN, TiAlN, TaN, TiSiN, W, WBN, CoSi 또는 W로 이루어지며, 상기 도전성 산화막은 RuO_2 , RhO_2 또는 IrO_2 로 이루어지는 것을 특징으로 하는 반도체 소자.

청구항 5. 제1항에 있어서, 상기 제1전극 상에 상기 제1 전극의 표면을 친수성화시켜 상기 유전체막의 형성을 용이하게 할 수 있는 안정화막이 형성되어 있는 것을 특징으로 하는 반도체 소자.

청구항 6. 제5항에 있어서, 상기 안정화막은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막인 것을 특징으로 하는 반도체 소자.

청구항 7. 제1항에 있어서, 상기 유전체막은 원자층 증착법에 의하여 형성된 막인 것을 특징으로 하는 반도체 소자.

청구항 8. 제7항에 있어서, 상기 원자층 증착법은 챔버에 반응가스와 퍼징가스를 순차적으로 공급하는 방법인 것을 특징으로 하는 반도체 소자.

청구항 9. 실리콘계 물질로 구성된 커패시터의 하부 전극;

상기 하부 전극 상에 반응물들을 순차적으로 공급하여 형성된 유전체막; 및

상기 유전체막 상에 형성되고 상기 실리콘계 물질로 구성된 하부 전극보다 일함수가 큰 커패시터의 상부 전극을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자.

청구항 10. 제9항에 있어서, 상기 상부 전극은 금속막, 고용점 금속막, 도전성 산화막 또는 이들의 조합으로 이루어지거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막이 순차적으로 형성된 이중막인 것을 특징으로 하는 반도체 소자.

청구항 11. 제9항에 있어서, 상기 하부 전극 상에 상기 하부 전극의 표면을 친수성화시켜 상기 유전체막의 형성을 용이하게 하는 안정화막이 형성되어 있는 것을 특징으로 하는 반도체 소자.

청구항 12. 제11항에 있어서, 상기 안정화막은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막인 것을 특징으로 하는 반도체 소자.

청구항 13. 제9항에 있어서, 상기 유전체막은 원자층 증착법에 의하여 형성된 막인 것을 특징으로 하는 반도체 소자.

청구항 14. 제13항에 있어서, 상기 원자층 증착법은 챔버에 반응가스와 퍼징가스를 순차적으로 공급하는 방법인 것을 특징으로 하는 반도체 소자.

청구항 15. 실리콘 기판;

상기 실리콘 기판 상에 반응물들을 순차적으로 공급하여 형성된 게이트 절연막; 및

상기 게이트 절연막 상에 형성되고 상기 실리콘 기판보다 일함수가 큰 게이트 전극을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자.

청구항 16. 제15항에 있어서, 상기 게이트 전극은 금속막, 고용점 금속막, 도전성 산화막 또는 이들의 조합으로 이루어지거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막이 순차적으로 형성된 이중막인 것을 특징으로 하는 반도체 소자.

청구항 17. 제15항에 있어서, 상기 실리콘 기판 상에 상기 실리콘 기판의 표면을 친수성화시켜 상기 게이트 절연막의 형성을 용이하게 할 수 있는 안정화막이 형성되어 있는 것을 특징으로 하는 반도체 소자.

청구항 18. 제17항에 있어서, 상기 안정화막은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막인 것을 특징으로 하는 반도체 소자.

청구항 19. 제19항에 있어서, 상기 게이트 절연막은 원자층 증착법에 의하여 형성된 막인 것을 특징으로 하는 반도체 소자.

청구항 20. 제19항에 있어서, 상기 원자층 증착법은 챔버에 반응가스와 퍼징가스를 순차적으로 공급하는 방법인 것을 특징으로 하는 반도체 소자.

청구항 21. 반도체 기판 상에 실리콘계 물질로 구성된 제1 전극을 형성하는 단계;

상기 제1 전극 상에 반응물들을 순차적으로 공급하여 유전체막을 형성하는 단계; 및

상기 유전체막 상에 상기 실리콘계 물질로 구성된 제1 전극보다 일함수가 큰 제2 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 22. 제21항에 있어서, 상기 유전체막은 알루미늄 산화물, 알루미늄 수산화물, Ta_2O_5 , BST, $SrTiO_3$, $PbTiO_3$, PZT, PLZT, Y_2O_3 , CeO_2 , Nb_2O_5 , TiO_2 , ZrO_2 , HfO_2 , SiO_2 , SiN, Si_3N_4 또는 이들의 조합으로 이루어진 막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 23. 제21항에 있어서, 상기 제2 전극은 금속막, 고용점 금속막, 도전성 산화막 또는 이들의 조합으로 형성하거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막이 순차적으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 24. 제23항에 있어서, 상기 금속막은 Al, Ni, Co, Cu, Mo, Rh, Pd, Sn, Au, Pt, Ru 또는 Ir로 형성하며, 상기 고용점 금속막은 Ti, TiN, TiAlN, TaN, TiSiN, WN, WBN, CoSi 또는 W로 형성하며, 상기 도전성 산화막은 RuO_2 , RhO_2 또는 IrO_2 로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 25. 제21항에 있어서, 상기 제1 전극을 형성하는 단계 후에 상기 제1 전극 상에 상기 유전체막의 형성을 용이하게 할 수 있는 안정화막을 더 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 26. 제25항에 있어서, 상기 안정화막은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 27. 제21항에 있어서, 상기 유전체막은 원자층 증착법에 의하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 28. 제27항에 있어서, 상기 원자층 증착법은 챔버에 반응가스와 퍼징가스를 순차적으로 공급하는 방법인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 29. 제21항에 있어서, 상기 유전체막을 형성하는 단계 후에 후열처리를 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 30. 반도체 기판 상에 실리콘계 물질로 구성된 커패시터의 하부 전극을 형성하는 단계;

상기 하부 전극 상에 반응물들을 순차적으로 공급하여 유전체막을 형성하는 단계; 및

상기 유전체막 상에 상기 실리콘계 물질로 구성된 하부 전극보다 일함수가 큰 커패시터의 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 31. 제30항에 있어서, 상기 상부 전극은 금속막, 고용점 금속막, 알루미늄막, 도전성 산화막 또는 이들의 조합으로 형성하거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 32. 제30항에 있어서, 상기 하부 전극을 형성하는 단계 후에 상기 하부 전극의 표면을 친수성화시켜 상기 유전체막의 형성이 용이하도록 하는 안정화막을 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 33. 제32항에 있어서, 상기 안정화막은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 34. 제30항에 있어서, 상기 유전체막은 원자층 증착법에 의하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 35. 제34항에 있어서, 상기 원자층 증착법은 챔버에 반응가스와 퍼징가스를 순차적으로 공급하는 방법인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 36. 제30항에 있어서, 상기 유전체막을 형성하는 단계 후에 후열처리를 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 37. 실리콘 기판 상에 반응물들을 순차적으로 공급하여 게이트 절연막을 형성하는 단계; 및

상기 게이트 절연막 상에 상기 실리콘 기판보다 일함수가 큰 게이트 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 38. 제37항에 있어서, 상기 게이트 전극은 금속막, 고용점 금속막, 도전성 산화막 또는 이들의 조합으로 형성하거나, 실리콘계 물질보다 일함수가 큰 물질막과 불순물이 도핑된 폴리실리콘막으로 형성하는 특징으로 하는 반도체 소자의 제조방법.

청구항 39. 제37항에 있어서, 상기 게이트 절연막을 형성하기 전에 상기 실리콘 기판을 친수성화시켜 상기 게이트 절연막의 형성이 용이하도록 하는 안정화막을 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 40. 제39항에 있어서, 상기 안정화막은 실리콘 산화막, 실리콘 질화막 또는 이들의 복합막인 것

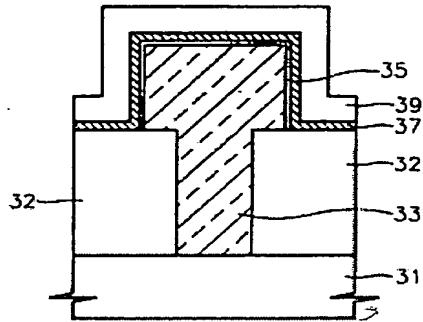
을 특징으로 하는 반도체 소자의 제조방법.

청구항 41. 제37항에 있어서, 상기 게이트 절연막은 원자층 증착법에 의하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

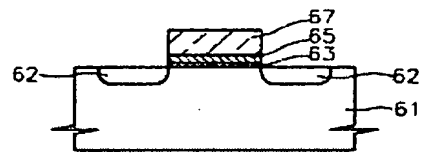
청구항 42. 제37항에 있어서, 상기 게이트 절연막을 형성하는 단계 후에 후열처리를 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

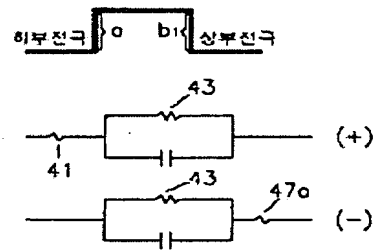
도면1



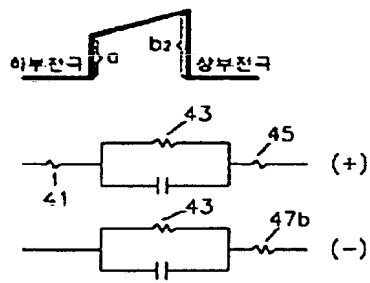
도면2



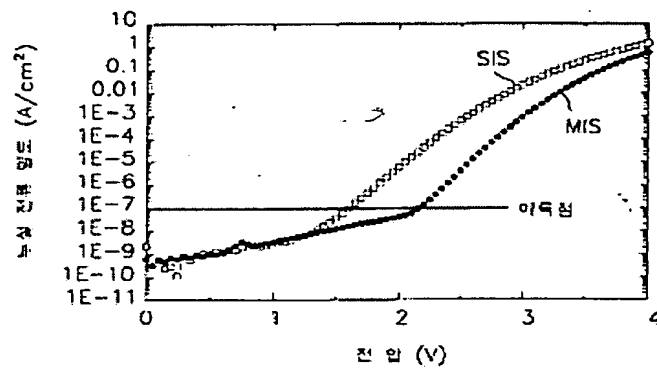
도면3



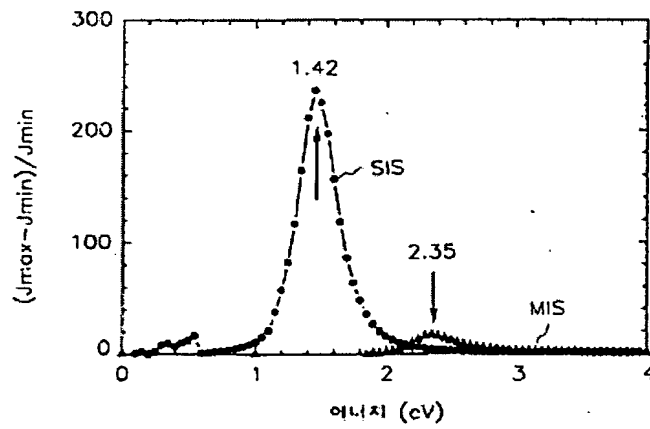
도 B4



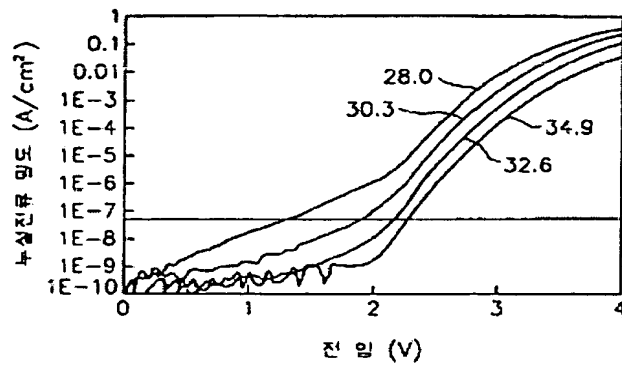
도 B5



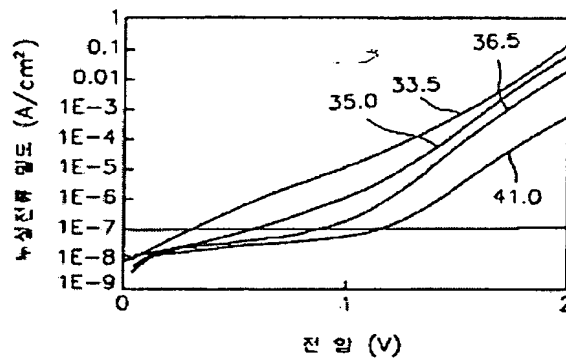
도 B6



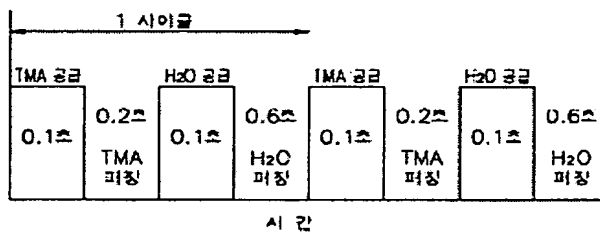
도 17



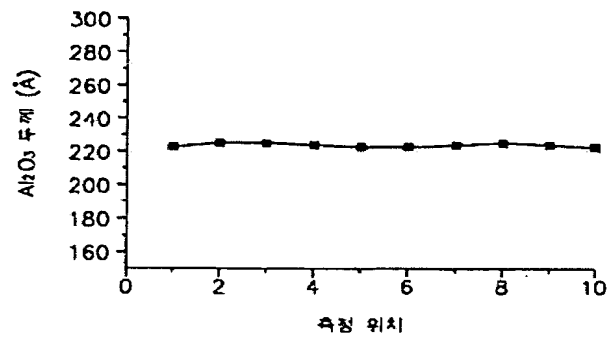
도 18



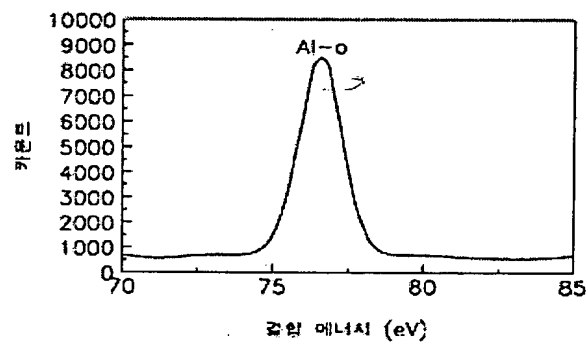
도 19



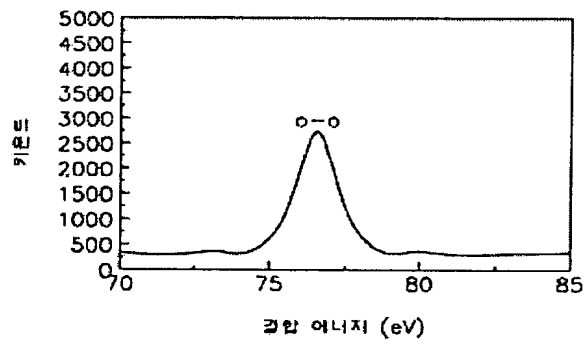
도면 10



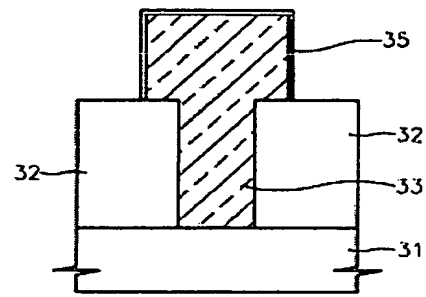
도면 11a



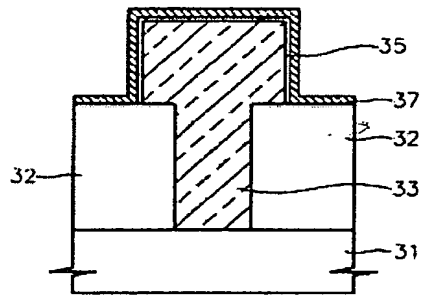
도면 11b



도면 12



도면 13



도면 14

